

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-034658

(43)Date of publication of application : 15.02.1988

(51)Int.Cl. G06F 13/28
G06F 15/64

(21)Application number : 61-179718

(71)Applicant : SHARP CORP

(22)Date of filing : 29.07.1986

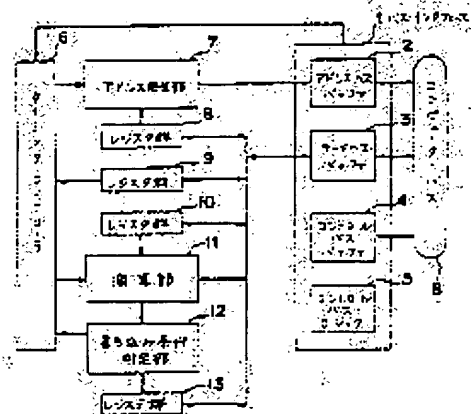
(72)Inventor : IZUMI MASAO
YAMANE YASUKUNI
TAKAKURA MASAKI
GAKO NOBUTOSHI

(54) DMA CONTROLLER FOR IMAGE PROCESSOR

(57)Abstract:

PURPOSE: To attain the transfer of a picture data, the conversion of an image, and arithmetic calculation between the images at high speed, by generating address signals sequentially to rectangular areas designated by plural images, and fetching the data corresponding to the plural images in an arithmetic means.

CONSTITUTION: An address generating part 7 generates the address signals sequentially to the rectangular areas designated by the plural images in an address interval designated by a two-dimensional address scan, according to a timing signal supplied from a timing controller 6. A generated address passes through a computer bus B through a bus interface 1, and accesses to a picture memory. And the data of the picture memory writes an arithmetic result at an arithmetic part 11 on the picture memory, or writes it on a latch in the arithmetic part 11. The arithmetic part 11 performs arithmetic calculation, and comparison according to the data set at a register group 10 in advance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-34658

⑬ Int.Cl.⁴

G 06 F 13/28

15/64

識別記号

3 1 0

4 5 0

庁内整理番号

M-7165-5B

K-7165-5B

8419-5B

⑭ 公開 昭和63年(1988)2月15日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 画像処理用DMAコントローラ

⑯ 特 願 昭61-179718

⑰ 出 願 昭61(1986)7月29日

⑱ 発 明 者 泉 正 夫 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
⑲ 発 明 者 山 根 康 邦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
⑲ 発 明 者 高 倉 正 樹 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
⑲ 発 明 者 賀 好 宣 捷 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
㉑ 代 理 人 弁理士 青 山 葆 外 2 名

明 細 書

1. 発明の名称

画像処理用DMAコントローラ

2. 特許請求の範囲

(1) コンピュータの中央処理装置およびメモリが夫々接続されるコンピュータ・バスに接続され、上記メモリに対して2次元的なアドレス走査により、指定したアドレス間隔でアドレス信号を発生するアドレス発生手段と、バス信号発生手段と、上記メモリからアクセスされたデータに対して演算を施す演算手段と、演算結果を一時的に記憶する記憶手段と、演算結果を上記メモリに書き込む書き込み手段と、上記演算結果に基づいて上記書き込み手段を制御する書き込み制御手段とを具備して、上記アドレス発生手段において、複数の画像の指定した矩形領域に対して、2次元的なアドレス走査により指定したアドレス間隔で、アドレス信号を順次発生させ、上記複数の画像の対応するデータを順次、上記演算手段に取り込み、上記演算手段の演算結果に基づいて、書き込み手段

を書き込み制御手段で制御するようにしたことを特徴とする画像処理用DMAコントローラ。

3. 発明の詳細な説明

<技術分野>

本発明は大量の画像データの転送や演算を高速に実行することができる画像処理用DMA(Direct Memory Access)コントローラに関する。

<従来の技術>

近年、LSI技術の進歩により高性能なマイクロプロセッサや大容量のメモリが小型で安価に生産されるようになり、高性能なコンピュータ・システムを安価に構築できるようになった。

しかし、いくら高機能化されたと言ってもそれを画像処理に適用する場合に処理速度が不十分であった。すなわち、画像データは一般に2次元データを用いるのでデータ量は膨大であり(例えば、1画素が8ビット階調で1画面当り1024×1024画素構成の場合1Mバイト)、コンピュータによる従来の逐次的な処理では、多大の処理時間を必要とした。従来では、この対策のために画

画像処理専用的高速バスを設け、この高速バスに画像処理専用のハードウェアを接続することで処理の高速化が行われた。この構成によれば通常のコンピュータによる逐次処理に比べて、通常2桁以上の高速化が可能となる。しかし、このように構成された画像処理専用ハードウェアは、特定の専用システムにしか適用できず、一般のマイクロコンピュータ・システムでは使用できないという欠点があった。

さて一方、既に入出力装置—メモリ間またはメモリ—メモリ間的高速なデータ転送を目的としたDMAコントローラが各種マイクロプロセッサの周辺LSIとして開発されている。これらのDMAコントローラはマイクロプロセッサのバスに容易に接続することが可能で、通常のプログラム転送に比べて1~2桁程度的高速なデータ転送を行わしめるものである。しかし、1次元的な走査によるアクセス機能しかないので、例えば画像メモリ中の任意の矩形エリア内だけのデータを転送することは不可能であり、また演算機能を持っ

上記目的を達成するため、本発明の画像処理用DMAコントローラは、コンピュータの中央処理装置およびメモリが夫々接続されるコンピュータ・バスに接続され、上記メモリに対して2次元的なアドレス走査により、指定したアドレス間隔でアドレス信号を発生するアドレス発生手段と、バス信号発生手段と、上記メモリからアクセスされたデータに対して演算を施す演算手段と、演算結果を一時的に記憶する記憶手段と、演算結果を上記メモリに書き込む書き込み手段と、上記演算結果に基づいて上記書き込み手段を制御する書き込み制御手段とを具備して、上記アドレス発生手段において、複数の画像の指定した矩形領域に対して、2次元的なアドレス走査により指定したアドレス間隔で、アドレス信号を順次発生させ、上記複数の画像の対応するデータを順次、上記演算手段に取り込み、上記演算手段の演算結果に基づいて、書き込み手段を書き込み制御手段で制御するようにしたことを特徴としている。

<実施例>

ていないため転送データに対して演算を施すことも不可能であった。

これに対し、出願人等は、高速化を目的にDMAコントローラ(例えば特願昭60-257484号)を発明しているが、例えば、カラー画像のように1枚の画像が複数の画像メモリで構成されているような場合に対応するためには、複雑な処理を必要とした。

<発明の目的>

そこで、本発明の目的は、前述の従来技術の欠点をなくし、汎用のコンピュータ・バスに接続可能で、しかも、コンピュータの1次元アドレス空間に配置された複数の画像メモリに対して、2次元的な走査による画像データの転送および演算などを高速に実行し、かつ、各データの大小関係、等価関係などの比較や演算結果に基づく転送条件や、転送先アドレスの変更などを同時に高速に実行することのできる画像処理用DMAコントローラを提供することにある。

<発明の構成>

以下、本発明の一実施例を図面を用いて詳説する。

第1図は本発明の画像処理用DMAコントローラの一実施例を示すブロック構成図である。

第1図に示す画像処理用DMAコントローラは、書き込み手段であるバス・インターフェース1を介してコンピュータ・バスBに接続される。バス・インターフェース1は対象とするコンピュータ・バスBの仕様を満足するように設計され、アドレスバス・バッファ2、データバス・バッファ3、コントロールバス・バッファ4、コントロールバス・ロジック5等の回路で構成される。上記アドレスバス・バッファ2、データバス・バッファ3およびコントロールバス・バッファ4の大部分は双方向の入出力およびトライステート出力が可能のように、かつ、バス・マスタまたはバス・スレーブとして機能するように設計されている。

このDMAコントローラは通常バス・スレーブとなっており、ホストコンピュータから種々のデータ情報や命令、制御情報を受け取る。これらの

データはバス・インターフェース1を介して記憶手段であるレジスタ群8、9、10、13に書き込まれる。このDMAコントローラはホストコンピュータからの転送開始命令を受けることによって動作を開始し、バスの使用権の獲得を確認してからバス・マスタとなる。そして、ホストコンピュータによって予め指定されたデータ転送および演算をバス・マスタとなって実行し終わると、読込信号をバス・インターフェース1を介して発するか、または終了フラグを立て、再びバス・スレーブとなる。

第1図の回路において、アドレス発生手段であるアドレス発生部7は、バス信号発生手段であるタイミング・コントローラ6の与えるタイミング信号に従って、2次元的な走査でメモリを順次アクセスするためのアドレスを発生する。

いま、第2図に示すように、水平方向の幅X、垂直方向の幅Yの画面201(左上の先頭アドレスを P_{s0} とする)、ならびに同じ大きさの別画面202、203において、任意の矩形領域211、

を制御することにより、任意の矩形領域およびそれに対応する複数画面の領域を走査するためのアドレス情報を高速に生成する。

このアドレス発生部7のブロック図を第3図に示す。レジスタ301および302には、転送元の矩形領域の先頭アドレス P_{s0} と転送先の先頭アドレス P_{sD} を格納しており、レジスタ303および304にはそれぞれ転送元および転送先の画面の水平方向の幅 X_s および X_D が、レジスタ305および306にはそれぞれ転送元および転送先の水平方向への増減アドレス単位 U_s および U_D が与えられる。

マルチプレクサ307、308、309、319はアドレス演算が転送元か転送先かによりそれぞれ切り換えられる。レジスタ320、321、322は、同一構成の複数枚の画像を扱う場合、(例えば、カラー画像の場合、通常R(赤)、G(緑)、B(青)の3成分に分けて、1枚の画像を同じ大きさの3枚の画像メモリで表現する。)各画像のオフセット値(前記 ΔP_{s01} 、 ΔP_{s02} など)を格納する。

212および213(212、213は211に対応する位置にあり、大きさは同一)内の点 $P_i(i, j)$ のアドレスは、メモリの物理的地址が水平方向に1次元的に順次並んでいるような構成のものであれば、

$$P_i \text{のアドレス: } \text{Addr}_i = P_{s0} + j \cdot X + i$$

$$(\text{ただし、} 0 \leq i \leq \Delta X, 0 \leq j \leq \Delta Y) \quad \dots \textcircled{1}$$

また、点 $P_s(i, j)$ 、 $P_{s+1}(i, j)$ のアドレスは

$$\Delta P_{s01} = P_{s1} - P_{s0} \quad \dots \textcircled{2}$$

$$\Delta P_{s02} = P_{s2} - P_{s0} \quad \dots \textcircled{3}$$

とすると、それぞれ

$$P_s \text{のアドレス: } \text{Addr}_s = \text{Addr}_i + \Delta P_{s01} \quad \dots \textcircled{4}$$

$$P_{s+1} \text{のアドレス: } \text{Addr}_{s+1} = \text{Addr}_i + \Delta P_{s02} \quad \dots \textcircled{5}$$

となる。

ここで、アドレス発生部7には簡易な演算機能を持たせてあり、予めホストコンピュータからレジスタ群8に上記 P_{s0} 、 X 、 ΔX 、 ΔP_{s01} および ΔP_{s02} 等の情報を、レジスタ群9に上記 Y 、 ΔY 等の情報をそれぞれ書き込んでおき、それらの情報を用いて演算を行い、かつ、演算のタイミング

ラッチ313、314、315、316および323は、アドレス計算の途中結果を一時的に記憶するためのものであり、ラッチ313、314は転送元、ラッチ315、316は転送先のアドレスの計算途中の値を保持する。ラッチ323は、転送元の矩形領域を第4図のように順次走査する時のアドレスが導出される様子を一例として、以下に説明する。

(1) 単一画像におけるアドレスの算出

転送元のアドレス計算時には、前述の通り、マルチプレクサ307、308、309、319はすべて左側の入力を選択される(第3図)。

a) 先頭アドレス P_{s0} の算出

最初のアドレスは P_{s0} であるので、マルチプレクサ310は、右側の入力を選択し、算術論理ユニット(ALU)312は、左側の入力をそのまま出力するように設定する。そして、ラッチ313、314の両方に値を格納し、マルチプレクサ317は左側の入力を選択され、ラッチ323にアドレス P_{s0} が格納される。

b) 水平方向に連続するアドレスの算出

第4図の401の方向の走査している時のアドレスの算出は、まず、マルチプレクサ310は左側入力を選択され、直前の計算結果(ラッチ323に格納されている)が出力される。マルチプレクサ311は、右側入力を選択され、前記水平走査方向の増減アドレス単位Us(レジスタ305に格納されている)が出力される。ALU312により、2つの入力を加算することにより、[直前のアドレス]+Usが算出され、ラッチ314にのみ格納する。マルチプレクサ317は、右側入力を選択し、ラッチ323に目的のアドレスが格納される。

c) 垂直方向に増加する時のアドレスの算出

第4図の点403のアドレスを算出されたその次は、点404のアドレスを算出する。この時は、まず、ラッチ313の出力すなわちマルチプレクサ317の左側入力を選択する。そして、マルチプレクサ310は、左側入力を選択することにより、ラッチ313に格納されていた値(第4図の

メモリで1枚の画像を表わすようなカラー画像の場合、第2図において上から順にR、G、Bと割り当てるとすると、レジスタ320には0、レジスタ321には ΔP_{s01} 、レジスタ322には ΔP_{s02} を予め書き込んでおく。前記(1)の方法でラッチ323にR画像(第2図の最上段の画像)での目的とするアドレスが求められると、マルチプレクサ324の入力を左側入力から順次切替え、ALU325で2つの入力を加算することにより、順次R、G、Bのアドレスが算出される。

上記(1)、(2)の処理方法により、転送元のアドレスが、第4図に示す走査方向に従って、第2図において、 $P_1(i, j)$ 、 $P_2(i, j)$ 、 $P_3(i, j)$ 、 $P_1(i+1, j)$ 、 $P_2(i+1, j)$ 、 $P_3(i+1, j)$...なる順序で求められる。これは転送先のアドレスについても同様の処理で計算できる。また、レジスタへの設定値を変えることにより、第4図の他、7種(矩形領域の4隅から上下方向に走査する4種と、下辺の2つの隅から水平方向へ左と右への走査する2種と、上辺の右隅から水平方向左へ走

点402のアドレス。このアドレスが格納されている理由は後述する。)が、ALU312の左側入力となる。また、マルチプレクサ311は、左側入力を選択し、画像の水平方向の幅Xsが出力され、ALU312の右側入力となる。ALU312は2つの入力を加算し、ラッチ313および314に格納する。ここで、ALU312の計算結果がラッチ313に格納されるのは、a)とc)の処理のときのみであり、これは①式のiが0のときのアドレスに相当する。このことにより、アドレスが垂直方向に増加する時、すなわち①式のjが増加する時にも、加減算のみの簡単な計算で算出することができる。

(2)複数画像でのアドレス算出

カラー画像のように、同一構成の画像メモリが複数枚1組になって、1枚の画像を表わす時、各画像メモリ間のアドレスのオフセット値(前記 ΔP_{s01} 、 ΔP_{s02})を用いて、各画像メモリにおけるアドレスを簡単に計算できる。

例えば、R(赤)、G(緑)、B(青)の3つの画像

を1組の走査方向のアドレス計算も容易に可能である。(特願昭60-257483号参照)

以上の処理により算出されるアドレスはバス・インターフェース1を介してコンピュータ・バスBを通し、画像メモリをアクセスする。そして、画像メモリのデータは、同じくバス・インターフェース1を介して、演算部11での演算結果を画像メモリに書き込んだり、演算部11内のラッチに取り込んだりする。

例えば、R、G、B3画面によるカラー画像における色処理などの場合、各色成分の比率や計算が必要不可欠である。上記(1)、(2)の1サイクルの処理により、転送元の各色成分が演算部11のラッチに書き込まれ、目的に応じた計算を演算部11で行い、書き込み制御手段である書き込み条件判定部12により、演算結果を転送元に書き込むかどうかを判定し、書き込む場合は、上記(1)、(2)の1サイクルによりアドレスを算出し、画像メモリにデータを書き込む。

演算部11は、例えば、演算用ALUやルック

アップテーブル、比較器、累算器などから構成され、予めレジスタ群10に設定しておいたデータに従い演算、比較を行うことができる。特にルックアップテーブルはRAMにより構成しておけば、予め希望するデータを、バス・インターフェース1を介して設定することが可能であり、また、リードオンリーメモリ(ROM)で構成すれば、定型処理を行うことが容易に可能となる。

次に、DMAコントローラを用いた場合のシステム全体での処理速度について説明する。上記DMAコントローラは、第5図に示すように、コンピュータのCPU(中央処理装置)、RAM(ランダムアクセスメモリ)が夫々接続されるバスに接続して使用され、このバスを介してデータ転送が行われる。また、上記DMAコントローラの内部では専用ハードウェアにより、種々の演算が高速に行われる。したがって、第5図において上記DMAコントローラを用いた場合のシステム全体でのデータ転送および演算の速度は、主にバス仕様によって決まるデータ転送速度あるいは使用され

るメモリのアクセス時間により決まる。しかし、上記DMAコントローラは、専用の2次元アドレス発生機能および演算機能をハードウェアとして備えることで、従来のコンピュータによる逐次処理に比べて、1〜2桁以上の処理の高速化が可能となる。なお、これまでメモリ—メモリ間のデータ転送について述べたが、本発明のDMAコントローラに通常のDMAコントローラのような入出力装置—メモリ間のデータ転送機能を付加することも勿論可能である。

<発明の効果>

以上より明らかなように、本発明の画像処理用DMAコントローラは、アドレス発生手段において、複数の画像の指定した矩形領域に対して、2次元的なアドレス走査により指定したアドレス間隔で、アドレス信号を順次発生させ、複数画像の対応するデータを順次演算手段に取り込み、演算手段の演算結果に基づいて、書き込み手段を書き込み制御手段で制御するようにしているので、従来の一般的なコンピュータ・バスに接続するだけ

で、画像データ転送、画像変換、画像間演算等を非常に高速に行うことができ、さらに複数画像間での演算が容易であり、カラー画像などの色処理に対しても高速に容易に対処できる。また、本発明のDMAコントローラは回路を1チップLSI化して汎用マイクロプロセッサ(例えば、インテル社8085やモトローラ社MC68000等)のバスに接続することも可能であり、回路を1ボード化してマルチバス等の汎用バスに接続することも可能である。したがって、本発明のDMAコントローラは、従来装置構成への適用が容易であり、システムのコンパクト化等にも有効である。

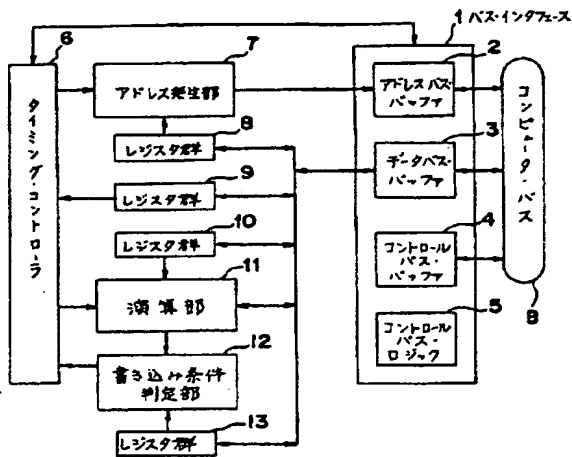
4. 図面の簡単な説明

第1図は本発明に係るDMAコントローラの一実施例のブロック構成図、第2図はメモリの矩形領域内の画素のアドレスを説明するための説明図、第3図はアドレス発生部の一実施例を示すブロック構成図、第4図は複数画像における2次元的なアドレス走査を説明するための説明図、第5図は全体のシステム構成図である。

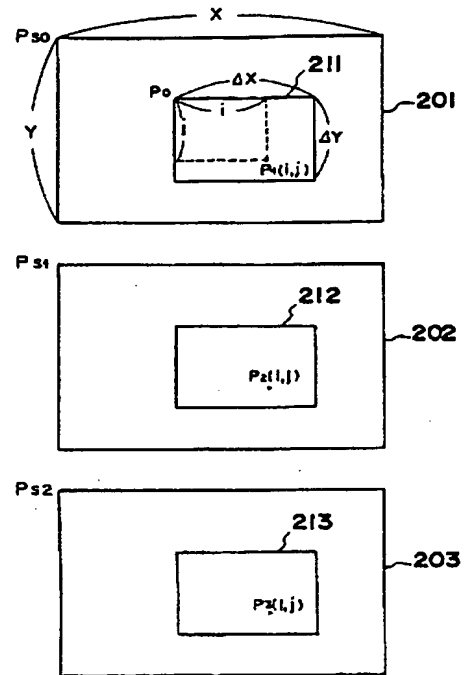
1…バス・インターフェース、2…アドレスバス・バッファ、3…データバス・バッファ、4…コントロールバス・バッファ、5…コントロールバス・ロジック、6…タイミング・コントローラ、7…アドレス発生部、8、9、10、13…レジスタ群、11…演算部、12…書き込み条件判定部、201、202、203…画像メモリ、211、212、213…矩形領域、301、302、303、304、305、306、320、321、322…レジスタ、307、308、309、310、311、317、318、319、324…マルチプレクサ、312、325…ALU、313、314、315、316、323…ラッチ、401…アドレス走査方向、402、403、404…注目している画像上の点、B…コンピュータ・バス。

特許出願人 シャープ株式会社
代理人 弁理士 青山 徹他2名

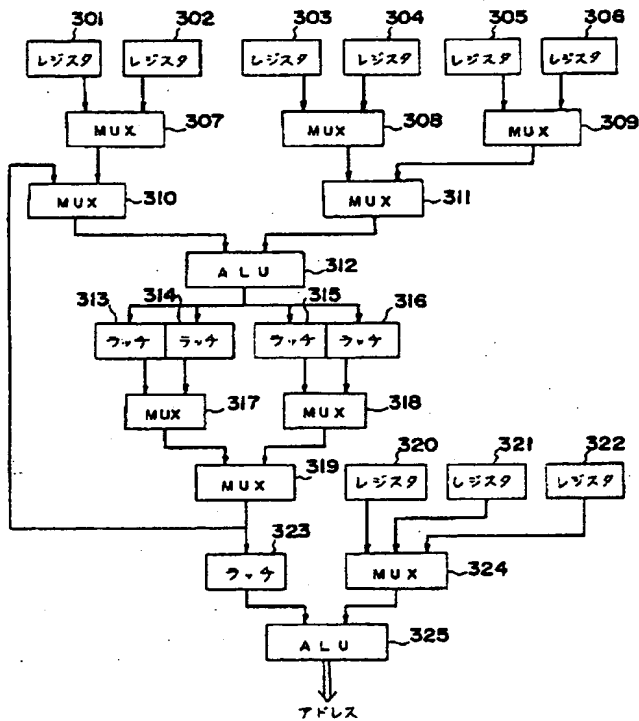
第 1 図



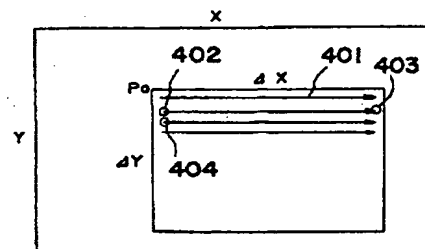
第 2 図



第 3 図



第 4 図



第 5 図

